

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-245428

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

G06K 19/07  
B42D 15/10

(21)Application number : 2001-043631

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.02.2001

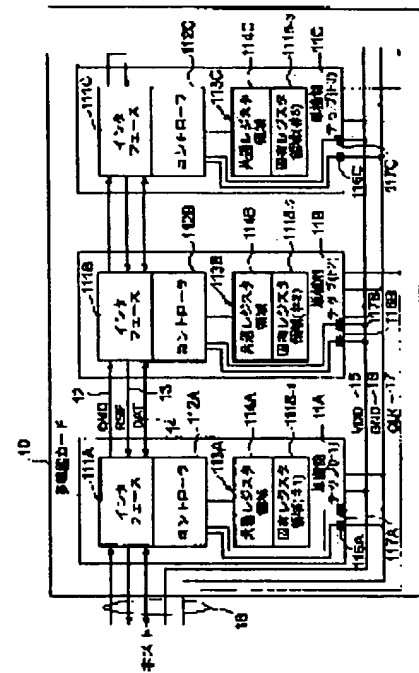
(72)Inventor : FUJIMOTO TERUHISA  
AOYAMA YOSHIMASA

(54) MULTIFUNCTION CARD HAVING PLURALITY OF FUNCTIONS, ONE FUNCTION CHIP USED IN THE CARD AND METHOD FOR CONFIGURING MULTIFUNCTION CARD

(57)Abstract:

PROBLEM TO BE SOLVED: To easily develop a multifunction card.

SOLUTION: One function chips 11A to 11C having functions F1 to F3 are connected by a signal line group including a command line 12, a response line 13 and a data line 14. Controllers 112A to 112C respectively access common areas 114A to 114C when a function number in an instruction on the command line 12 is a specific function number, e.g. 0 being common to the chips 11A to 11C. When the function number in the instruction is any number other than 0, for instance, 1, the controller 112A accesses an inherent area 115-1, when the function number is 2, the controller 112B accesses an inherent area 115-2, and when the function number is 3, the controller 112C accesses an inherent area 115-3.



## LEGAL STATUS

[Date of request for examination] 20.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3643539

[Date of registration] 04.02.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] In the multifunctional card which has two or more functions, and is connected and used for a host system Two or more single functional chips which have at least one of said two or more functions, The command line for being the signal-line group which connects said two or more single functional chips, and transmitting an instruction, The signal-line group containing the data line for transmitting response Rhine for carrying out serial transmission of the response to said instruction and data is provided. Said each \*\*\*\*\* chip A common area common to said two or more functions, and the storage module which includes the proper field of a proper in the function which self has, When the functional number as which it is the controller which controls the whole chip concerned, and the instruction on said command line specifies a function is included, If said common area will be accessed if the functional number under instruction concerned is a specific functional number common to said each \*\*\*\*\* chip, and the functional number under instruction concerned is a functional number assigned to the function which the chip concerned has The multifunctional card characterized by equipping the function with the controller which accesses said fixed area in the chip concerned of a proper.

[Claim 2] At the time of initialization of said multifunctional card, if the connecting location on the basis of said host system of the chip concerned is a head, the controller of each of said \*\*\*\*\* chip While assigning a functional number sequentially from the functional number defined beforehand to the function which self has If it sends out to Rhine which was able to define the assigned functional number beforehand among said command line and said data line and the connecting location of the chip concerned is not a head or the last, either While assigning a functional number to the function which self has sequentially from the next functional number of the functional number sent out from the single functional chip of the last connecting location If it sends out to Rhine which was able to define the assigned functional number beforehand among said command line and said data line and the connecting location of the chip concerned is the last The multifunctional card according to claim 1 characterized by having a means to send out the response which notifies the assigned functional number to said response Rhine while assigning a functional number to the function which self has sequentially from the next functional number of the functional number notified from the single functional chip of the last connecting location.

[Claim 3] Said signal-line group includes power-source Rhine and touch-down Rhine. Said each \*\*\*\*\* chip The 1st terminal connected to either said power-source Rhine or said touch-down Rhine, The 2nd terminal connected to either said power-source Rhine or said touch-down Rhine is included. Said controller of each of said \*\*\*\*\* chip The multifunctional card according to claim 2 characterized by having a means to judge any of two or more locations where the connecting location of the chip concerned includes the location which are not a head, the last, and a head or the last, either they are according to the condition of said 1st and 2nd terminals.

[Claim 4] At the time of initialization of said multifunctional card, if the connecting location on the basis of said host system of the chip concerned is a head, the controller of each of said \*\*\*\*\* chip While assigning a functional number sequentially from the functional number defined beforehand to the function which self has If the assigned functional number is sent out to said command line and the connecting location of the chip concerned is not a head While assigning a functional number to the function which self has sequentially from the next functional number of the functional number sent out from the single functional chip of the last connecting location The multifunctional card according to claim 1 characterized by having a means to send out the assigned functional number to said command line, and to send out the response containing the functional number sent out to said command line if the connecting location of the chip concerned was the last to said response Rhine.

[Claim 5] Said signal-line group includes power-source Rhine and touch-down Rhine. Said each \*\*\*\*\* chip The 1st terminal connected to either said power-source Rhine or said touch-down Rhine, It has the 2nd terminal connected to either said power-source Rhine or said touch-down Rhine. The termination of said command line and the start edge of said response Rhine are connected. Said controller of each of said \*\*\*\*\* chip While judging any of two or more locations which contain except a head and a head the connecting locations of the chip concerned are according to the condition of said 1st and 2nd terminals The multifunctional card according to claim 4 characterized by having a means to judge with the connecting location of the chip concerned being the last when the functional number sent out to said command line is received from said response Rhine.

[Claim 6] If the connecting location of the chip concerned is the last when read access of said common area is carried out, the controller of each of said \*\*\*\*\* chip If the response to which the bit data in the lead data corresponding to the function which the chip concerned has were set as the bit position corresponding to the function is sent out to said response Rhine and the connecting location of the chip concerned is not the last The multifunctional card according to claim 5 characterized by having a lead means to set the bit data in the lead data corresponding to the function which the chip concerned has as the bit position in the response data on said response Rhine corresponding to the function which the chip concerned has.

[Claim 7] Said lead means in the controller of each of said \*\*\*\*\* chip is a multifunctional card according to claim 6 which will carry out read access of said common area, and will be carried out [ having a lead means send out the lead data to said data line, and ] as the description if it judges and chooses whether only the chip concerned is chosen when it is the lead instruction whose instruction on said command line contains the functional number which specifies a function.

[Claim 8] It is the single functional chip which is used for constituting the multifunctional card which has two or more functions, and has at least one of said two or more functions. A common area common to said two or more functions, and the storage module which includes the proper field of a proper in the function which self has, The controller which controls said whole chip, and the command line for transmitting an instruction, The interface connected with the signal-line group containing the data line for transmitting response Rhine for

carrying out serial transmission of the response to said instruction and data is provided. When said controller contains the functional number as which the instruction on said command line specifies a function, If said common area will be accessed if the functional number under instruction concerned is a specific functional number common to said each \*\*\*\*\* chip, and the functional number under instruction concerned is a functional number assigned to the function which the chip concerned has The single functional chip characterized by equipping the function with an access means to access said fixed area in the chip concerned of a proper.

[Claim 9] Since said controller constitutes the multifunctional card which the chip concerned is independently used at the time of initialization of said single functional chip, or is connected and used for a host system at it A means to judge whether said signal-line group connects with other single functional chips, The means which assigns a functional number sequentially from the functional number beforehand defined to the function which self has when judged with being independently used by said judgment means, If the connecting location on the basis of said host system is a head when judged with connecting with other single functional chips with said judgment means While assigning a functional number sequentially from the functional number defined beforehand to the function which self has If it sends out to Rhine which was able to define the assigned functional number beforehand among said command line and said data line and the connecting location of the chip concerned is not a head or the last, either While assigning a functional number to the function which self has sequentially from the next functional number of the functional number sent out from the single functional chip of the last connecting location If it sends out to Rhine which was able to define the assigned functional number beforehand among said command line and said data line and the connecting location of the chip concerned is the last The multifunctional card according to claim 1 characterized by having a means to send out the response which notifies the assigned functional number to said response Rhine while assigning a functional number to the function which self has sequentially from the next functional number of the functional number notified from the single functional chip of the last connecting location.

[Claim 10] Two or more single functional chips which have at least one function and were equipped with the common area and the storage module which includes the proper field of a proper in the function concerned Response Rhine for carrying out serial transmission of the response to the command line for transmitting an instruction, and said instruction, And it is the configuration approach of the multifunctional card connected by the signal-line group containing the data line for transmitting data. The step which judges whether the functional number under instruction concerned is a specific functional number common to said each \*\*\*\*\* chip when the instruction on said command line contains the functional number which specifies a function, If the step which will access said common area if the functional number under said instruction is said specific functional number, and the functional number under said instruction are not said specific functional numbers The configuration approach of the multifunctional card characterized by providing the step which accesses the proper field of a proper in the function in which the functional number under instruction concerned was assigned among the proper fields of each of said \*\*\*\*\* chip.

[Claim 11] While assigning a functional number sequentially from the functional number as which the connecting location on the basis of said host system was beforehand determined in the top single functional chip to the function which self has at the time of initialization of said multifunctional card In the step which sends out the assigned functional number to Rhine which was able to be beforehand appointed among said command line and said data line, and a single functional [ to\_in\_which said connecting location is not a head or the last, either ] chip While assigning a functional number to the function which self has sequentially from the next functional number of the functional number sent out from the single functional chip of the last connecting location The step which sends out the assigned functional number to Rhine which was able to be beforehand appointed among said command line and said data line, and said connecting location set for the last single functional chip. While assigning a functional number to the function which self has sequentially from the next functional number of the functional number notified from the single functional chip of the last connecting location The configuration approach of the multifunctional card according to claim 10 characterized by providing further the step which sends out the response which notifies the assigned functional number to said response Rhine.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the configuration approach of the single functional chip used for the multifunctional card which has two or more functions constituted by connecting two or more single functional chips, and this card, and a multifunctional card.

[0002]

[Description of the Prior Art] Recently, as for electronic equipment, such as a personal computer, a Personal Digital Assistant, and an electronic camera, it is in use to have the card slot which can insert the card which has an I/O function so that expansion may be possible. By such electronic equipment, I/O functions, such as the I/O function of a proper, for example, memory, a security circuit, serial interface, the Bluetooth interface, and URT (Universal Asynchronous Receiver Transmitter), are easily realizable for the card by inserting a card in a card slot. Moreover, the card (multifunctional card) which has two or more kinds of I/O functions (two or more set ability) is demanded recently.

[0003]

[Problem(s) to be Solved by the Invention] The multifunctional card is demanded as having described above recently. In order to realize such a card, it is desirable to develop the integrated circuit chip which has two or more kinds of I/O functions to need.

[0004] However, in order to integrate a required function highly and to unify for one chip (multiple function chip), development takes much time amount. For this reason, it is easy to produce problems, like the selling stage of the multifunctional card with which the multiple function chip which has two or more set ability was mounted is overdue.

[0005] On the other hand, since the same chip already exists in many cases, if development of the chip (single functional chip) of each functional order is compared with a multiple function chip, it is easy. So, in the first phase, it is possible to develop the single functional chip of the class to need according to an individual, to mount each kind of single functional chip on one card, and to realize a multifunctional card. In this case, what is necessary is just to change to manufacture and sale of the card (on multifunctional card) with which that multiple function chip was mounted in the phase which development of a multiple function chip completed.

[0006] However, the control unit which manages each function (chip) is needed, and this control unit must also be developed in order to mount two or more single functional chips and to realize a multifunctional card, for example, as indicated by JP,9-223200,A.

[0007] This invention was made in consideration of the above-mentioned situation, and the purpose has development in offering the configuration approach of the single functional chip used for an easy multifunctional card and this card, and a multifunctional card.

[0008]

[Means for Solving the Problem] In the multifunctional card which this invention has two or more functions, and is connected and used for a host system Two or more single functional chips which have at least one of two or more above-mentioned functions, Response Rhine for carrying out serial transmission of the response to the command line for transmitting an instruction, and an instruction, And it has the signal-line group which connects two or more above-mentioned single functional chips including the data line for transmitting data. It is characterized by \*\* which formed the storage module which includes the proper field of a proper in the function which a common area common to two or more above-mentioned functions and self have for each above-mentioned \*\*\*\*\* chip, and the controller which controls the whole chip concerned. This controller carries out accessing the above-mentioned common area, if that functional number is a specific functional number common to each above-mentioned \*\*\*\*\* chip, and accessing the above-mentioned fixed area in the chip concerned of a proper to that function, if it is the functional number by which that functional number was assigned to the function of the chip concerned which it has as the description, when the instruction on a command line contains the functional number which specifies a function.

[0009] Thus, in the multifunctional card of this invention, when a specific functional number common to each chip is specified with an instruction, a common area is accessed, and when functional numbers other than a specific functional number are specified, the proper field of a proper is accessed by the function prepared in the single functional chip with the function in which the functional number is assigned. Therefore, the common area which each chip has can be shown as one common area with the whole card. Thereby, the memory map configuration as a card serves as the memory map configuration and equivalence which should be applied with the multifunctional card realized using the multiple function chip with which the required function was unified for reduction of the memory map configuration which consists of one common area common to all the functions (chip) that the card concerned has, and a proper field for every function, i.e., low-cost-izing, and a component-side product. Therefore, even when using the multifunctional card of which type, it can respond by the same host driver and it is not necessary to develop two kinds of host drivers. Moreover, compared with the case where a multifunctional card is realized using the multiple function chip with which the required function was unified from having realized the multifunctional card using two or more single functional chips, development is easy, and a development cycle is also short and ends.

[0010] Moreover, for the controller of each above-mentioned \*\*\*\*\* chip, at the time of initialization of the following means, i.e., a multifunctional card, if the connecting location on the basis of the host system of the chip concerned is a head, this invention That is, if the chip concerned is a chip of the first rank, while assigning a functional number sequentially from the functional number defined beforehand to the function which self has If the assigned functional number is notified to the next step and the chip concerned is not the first rank or the last stage, either, while assigning a functional number to the function which self has sequentially from the next functional number of the functional number sent out from the chip of the preceding paragraph While assigning a functional number sequentially from the next functional number of the functional number which notified the assigned functional number to the next step, and was notified from the

preceding paragraph chip to the function which self has if the chip concerned was the last stage. It is characterized also by having a means to send out the response which notifies the assigned functional number to response Rhine.

[0011] Thus, in this invention, at the time of card initialization, it is the sequence decided in the connecting location of the chip which has the function, and a functional number is automatically assigned by the controller of the chip about each function which two or more single functional chips which realize a multifunctional card have. Compared with the case where a multifunctional card is realized using the multiple function chip with which a control unit which is indicated by this assignment at JP,9-223200,A was unnecessary with the multiple function chip, and the required function was unified also from this point, development is easy, and a development cycle is also short and ends.

[0012] Invention concerning the multifunctional card of the above configuration is materialized also as invention which is materialized also as invention concerning each \*\*\*\*\* chip which constitutes the card concerned, and relates to the configuration approach of a multifunctional card.

[0013]

[Embodiment of the Invention] Hereafter, with reference to a drawing, it explains per gestalt of operation of this invention.

[0014] [Operation gestalt of \*\* 1st] drawing 1 shows the block configuration of the multifunctional card concerning the 1st operation gestalt of this invention. The multifunctional card 10 of drawing 1 R> 1 is equipped with three single functional chips 11A, 11B, and 11C which have the functions F1, F2, and F3 of a proper, respectively.

[0015] Daisy-chain (daisy chain) connection of the chips 11A, 11B, and 11C is made by a command line (CMD) 12, response Rhine (RSP) 13, and the data line (DAT) 14, respectively. A command line 12 is used for the serial transmission of an instruction. Response Rhine 13 is used for serial transmission, such as a response to an instruction. A data line 14 is used for a data transfer. The data width of face of a data line 14 is 4 bits.

[0016] The direction of a signal of a command line 12 is the one-way signal line of chip 11A-> chip 11B-> chip 11C. Response Rhine 13 is an one-way signal line with the direction reverse [ a command line 12 ] of a signal. The termination of a command line 12 is connected with the start edge of response Rhine 13. That is, the command line 12 is turned up by chip 11C at the response Rhine 13 side. Thereby, the instruction sent out to the command line 12 is returned to the chip 11C concerned through response Rhine 13 from chip 11C. The direction of data of a data line 14 is bidirectional, and the direction is determined by the instruction on a command line 12, and is changed with the interfaces 111A, 111B, and 111C mentioned later.

[0017] Moreover, each chips 11A-11C are connected common to power-source Rhine (VDD) 15, touch-down Rhine (GND) 16, and the clock line (CLK) 17.

[0018] A card 10 is connected with the driver (host driver) of a host system through the interface bus 18 including a command line 12, response Rhine 13, a data line 14, power-source Rhine 15, touch-down Rhine 16, and the clock line 17 by being inserted in the card slot of the host system using the card 10 concerned.

[0019] Chips 11A, 11B, and 11C control the interfaces 111A, 111B, and 111C connected with a command line 12, response Rhine 13, a data line 14, and the clock line 17, and the whole chips 11A and 11B concerned and whole 11C, and have the controllers 112A, 112B, and 112C for realizing functions F1, F2, and F3, and Memory (storage module) 113A, 113B, and 113C, respectively.

[0020] Controller 112i (i=A, B, C) returns a response on response Rhine 13 through interface 111i to the instruction given through a command line 12. A format of this instruction is shown in drawing 2, and a format of a response is shown in drawing 3, respectively.

[0021] An instruction contains a command field 21, the functional number field 22, and an address field 23. Moreover, 1 byte of data field 24 may be included. A command field 21 specifies instruction classes, such as read/write, and the functional number field 22 is used for specifying one of the functions which the card of drawing 1 has. A functional number (FN) is used for this functional assignment. Here, the functional numbers of the functions F1, F2, and F3 of Chips 11A, 11B, and 11C shall be 1, 2, and 3, respectively. However, when Chips 11A, 11B, and 11C are used independently, each functional number of functions F1, F2, and F3 is set to 1. An address field 23 is used for specifying the register in the register field decided by the functional number set as the functional number field 22.

[0022] A response contains the status field 31 which shows the status of a card 10, and the data field 32 to which 1 byte of data are set.

[0023] The proper register field 115-1, 115-2, 115-3 of a proper is secured to Memory 113A, 113B, and 113C at the common register fields (common area) 114A, 114B, and 114C of the same size common to all the chips 11A, 11B, and 11C on a card 10, and functions F1, F2, and F3 common to all the functions F1, F2, and F3 of a card 10 that is. Two or more registers are assigned to Fields 114A, 114B, and 114C and 115-1, 115-2, 115-3, respectively. Here, the size of each register is 8 bits (1 byte). The register map of each chips 11A, 11B, and 11C is shown in drawing 4 (a).

[0024] Common register field 114i (i=A, B, C) is specified in common, specific functional number 0 (FN=0), for example, functional number. the functions F1, F2, and F in which the proper register field 115-1, 115-2, 115-3 corresponds on the other hand -- it is the field which became independent for every three, and is specified by the functional numbers 1, 2, and 3 (2 FN=1, 3) of functions F1, F2, and F3, respectively. Therefore, the register map of each chips 11A, 11B, and 11C shown in drawing 4 (a) As a register map of the multifunctional card 10 it is equivalent to the register map which consists of a register map 114 shown in drawing 4 (b), i.e., the common register field specified by the functional number 0, and a proper register field 115-1, 115-2, 115-3 specified by the functional numbers 1, 2, and 3 (2 FN=1, 3). The register map configuration of this drawing 4 (b) is applied, also when each function of Chips 11A, 11B, and 11C is unified for one chip (multiple function chip) so that it may mention later. That is, it can consider as the same register map configuration with the multifunctional card with which Chips 11A, 11B, and 11C are connected, and two or more set ability is realized, and the multifunctional card with which two or more set ability concerned is realized with one chip.

[0025] In addition, when Chips 11A, 11B, and 11C are independently mounted in a card that is, it is a head and, in the case of the last, the proper register field 115-1, 115-2, 115-3 of the chips 11A, 11B, and 11C concerned is specified by each by the functional number 1 so that the location on the card of the chips 11A, 11B, and 11C concerned may mention later.

[0026] With this operation gestalt, although Chips 11A, 11B, and 11C shall have one functions F1, F2, and F3, respectively, you may have two or more functions. What is necessary is just to prepare the proper field for several of the functional minutes for the chip which has two or more functions. In this case, the functional number for several functional minutes is assigned to one chip.

[0027] Chips 11A, 11B, and 11C have specific terminal 116A, 117A and 116B, and two 117B, 116C and 117C, respectively. The specific terminals 116i and 117i of this chip 11i The connecting location on the card of the chip 11i concerned on the basis of a host-system side A head location, It is used for specifying any of the last location or the other location they are. Chip 11i or the specific terminals 116i and 117i When the chip 11i concerned is used independently, the connecting location on the card of the chip 11i concerned is a head, and it

is used also for specifying that it is the last location. The connecting location of this chip 11i is connecting each of the specific terminals 116i and 117i of the chip 11i concerned to power-source Rhine 15 or touch-down Rhine 16 on a card, that is, is setting it as "1" or "0", and can be specified. An example of the relation between the condition of these terminals 116i and 117i and the location of chip 11i is shown in drawing 5.

[0028] Next, sequential explanation of the actuation of this operation gestalt is given about each at the time of (1) initialization and (2) instruction reception.

[0029] (1) Explain the actuation at the time of initialization of the multifunctional card 10 with reference to the flow chart of drawing 6 R> 6 first at the time of initialization.

[0030] In the condition that the power source of a host system is switched on, if a card 10 is inserted in the card slot of the host system concerned, a power source will be supplied to the card 10 concerned through power-source Rhine 15 of an interface bus 18. Moreover, in the condition that the card 10 is inserted in the card slot of a host system, even if the power source of a host system is switched on, a power source is supplied to the card 10 concerned. Thus, when a power source is supplied to a card 10, controller 112 of single functional chip 11i (i=A, B, C) performs initialization processing described below.

[0031] Controller 112i judges first whether the location on the card 10 of single functional chip 11i is a head from the logic state of Terminals 116i and 117i (step A1). When it is a head (i.e., when chip 11i is single functional chip 11A), controller 112i sets the variable n which shows a functional number as initial value 0 while setting the own number of functions as Variable p (step A2, A3).

[0032] Next, controller 112i sets up the value which incremented Variable n one time as a functional number n of an own function (step A4). Next, controller 112i carries out 1 decrement of the variable p, and judges whether p after the decrement is 0 (step A5, A6). If p is not 0, controller 112i will perform step A4 again. On the other hand, if p is 0, controller 112i will be sent out to a data line 14 by interface 111i synchronizing with the clock signal on the clock line 17 by using as data "n" the value of the current functional number n, i.e., the value of the maximum functional number n which self set up, (step A7). At this time, controller 112i sends out an initialization command to a command line 12 by interface 111i. Serial transmission of this initialization command is carried out to consecutive chip 11B and chip 11C at order.

[0033] In this operation gestalt, the chip of a head location is single functional chip 11A which has only a function F1. In this case, in chip 11A, step A4-A6 are performed only once and 1 is set up as a functional number of a function F1. Therefore, from chip 11A, as shown in the timing chart of drawing 7, data "1" are sent out only for the period of a clock.

[0034] On the other hand, controller 112 of chip 11i other than head i waits to receive data other than [ a data line 14 to ] zero "n" for an initialization command, respectively from a command line 12 by interface 111i (step A10). And if data other than zero "n" are received, controller 112i will set the own number of functions as Variable p (step A11). Next, controller 112i sets the variable n which shows a functional number as the value of received data "n" (step A12). Subsequent actuation is the same as that of top chip 11i (11A), and the same steps A13-A15 as step A4-A6 are performed.

[0035] Controller 112i will judge whether the location on the card 10 of the chip 11i concerned is the last, if only the number of functions in which chip 11i has steps A13-A15 is performed (step A16). If it is not the last, received data "n" will be changed into the value of the current functional number n, i.e., the value of the maximum functional number n which self set up, and controller 112i will send them out for the chip of the next step through a data line 14 (step A17). In this operation gestalt, since chip 11B of the next step of chip 11A has only a function F2, by concerned chip 11B, steps A13-A15 are performed only once, and 2 is set up as a functional number of a function F2. Therefore, from chip 11B, as shown in the timing chart of drawing 7, data "2" are sent out only for the period of the one following clock.

[0036] On the other hand, controller 112 of last chip 11i sends out the response to which the value of the current functional number n, i.e., the value of the maximum functional number n which self set up, was set as the data field 32 on response Rhine 13 by interface 111i (step A20). In this operation gestalt, since the last chip is single functional chip 11C which has only a function F3, by the chip 11C concerned, steps A13-A15 are performed only once, and 3 is set up as a functional number of a function F3. Therefore, from chip 11C, period sending out of the number of fixed clocks is carried out for the response to which data "3" were given as shown in the timing chart of drawing 7 from the timing of the following clock.

[0037] In chip 11B, if the response from chip 11C is received by interface 111B, as the response shows the timing chart of drawing 7, only 1 clock period will be delayed and will be transmitted to chip 11A of the preceding paragraph as it is (steps A18 and A19). In chip 11A, if the response transmitted by chip 11B is received, from the value of the data field 32 of the response, the maximum functional number in the multifunctional card 10, i.e., the number of functions, will be judged, and it will notify to the host driver of a host system (step A9).

[0038] A host driver recognizes the functional number of each function which a card 10 has based on the number of functions notified from chip 11A. And a host driver performs the configuration for every function which corresponds using each recognized functional number.

[0039] In addition, in the flow chart of drawing 6, it is not taken into consideration about the case where chip 11i is used independently. What is necessary is for the location of chip 11i to be a head, and to judge whether it is the last in front of step A1, (step E1), and just to perform processing for steps A2-A6, the same steps E2-E6 as A9, and E7, if chip 11i is independently used if it is YES that is, as it is shown, for example in the flow chart of drawing 13, if required. What is necessary is on the other hand, just to perform the same processing as the flow chart of drawing 6, i.e., the processing after step A1, if chip 11i uses it for other single functional chips, connecting if the judgment of step E1 is NO that is, If the chip 11i concerned has one function when chip 11i is used independently so that clearly, the functional number 1 will surely be assigned to the function. Moreover, if it has two or more functions and the number of functions will be set to N, the functional number 1 - N will be assigned to the function of the N individual, respectively.

[0040] Moreover, with the configuration of drawing 1, although daisy chain connection of the chips 11A-11C shall be carried out by the command line 12, it does not restrict to this. For example, Chips 11A-11C may be connected in common by the command line 12.

However, with the configuration of drawing 1 R> 1, although each chips 11A-11C notify the own functional number n, a command line 12 can also be used. This example is shown in drawing 8.

[0041] Here, top chip 11A sends out the initialization instruction with which "1" was set to the bit n-1 0 of a data field 24, i.e., a bit, on a command line 12, if n=1 is set up as an own functional number. Chip 11B will distinguish the maximum functional number n of chip 11A of the preceding paragraph, n=1 [ i.e., ], from the maximum bit position n-1 0 to which "1" is set within the data field 24, i.e., a bit, if this initialization instruction is received. Next, chip 11B sets up n=n+1=2 as an own functional number. And chip 11B sets "1" to the bit n-1 1 of the data field 24 of an initialization instruction which received, i.e., a bit, and sends out the instruction concerned to a command line 12.

[0042] The last chip 11C will distinguish the maximum functional number 2 of chip 11B of the preceding paragraph from the maximum bit position 1 to which "1" is set within the data field 24, if the initialization instruction from chip 11B is received. Next, chip 11C sets up 3

which incremented the maximum functional number 2 of chip 11B one time as an own functional number. And chip 11C sets "1" as the bit 2 of the data field 24 of an initialization instruction which received, and sends out the instruction concerned to a command line 12. The instruction sent out to the command line 12 is transmitted to the chip 11C concerned through response Rhine 13 from this chip 11C. In response, chip 11C sends out the response with the data field 24 of the instruction which self sent out, and the data field 32 of the same contents on response Rhine 13. The sequential transfer of this response is carried out through response Rhine 13 at chip 11B and chip 11A. Chip 11C judges three functions of a card 10 from the maximum bit position 2 to which "1" is set within the data field 32 under response.

[0043] (2) Explain actuation when the time of instruction reception, next the instruction sent from the host driver of a host system are received by chip 11i of a card 10 with reference to the flow chart of drawing 9 thru/or drawing 11.

[0044] First, serial transmission of the instruction sent out to the command line 12 of an interface bus 18 from the host driver is carried out to the chips 11A, 11B, and 11C on a card 10 in which daisy chain connection was carried out by the command line 12 concerned one by one.

[0045] Controller 112 of chip 11i (i=A, B, C) i will judge any the instruction concerned shall specify between a lead or a light from the command field 21 of the instruction concerned, if the instruction transmitted through the command line 12 is received by interface 111i (step B1). In addition, with this operation gestalt, in order to simplify explanation, the lead or light actuation for a lead or light actuation, i.e., two or more registers, of the data exceeding 1 byte shall not be specified.

[0046] When the received instruction specifies the light, the functional number FN by which controller 112i is set as the instruction-function number field 22 concerned judges whether it is 0 (step B-2). If the functional number FN is 0, controller 112i will write data in the register specified by the address set as the address field 23 of the above-mentioned instruction among the registers in common register field 114i (step B3).

[0047] Thus, light actuation when 0 is specified as a functional number FN is all the chips 11A, 11B, and 11C on a card 10, and actuation which carries out the light of the same data to the assignment register in the common register fields 114A and 114B and 114C is performed. This data (light data) is transmitted through the data line 14 of an interface bus 18 from a host driver. Moreover, in the case of the light of 1 byte or less of data, the data concerned can also be set up and transmitted to the data field 24 of the above-mentioned instruction like this example.

[0048] On the other hand, when the specified functional number FN is not 0, it judges whether the FN of controller 112i concerned corresponds with the functional number n of chip 11i (step B4). In addition, with the chip which has two or more functions, it is judged whether the functional number FN is in agreement with one of the functional numbers assigned to each of two or more of the set ability.

[0049] Controller 112i writes data in the assignment register in proper register field (#FN) 115-j specified by functional number FN=j as that as which the chip 11i concerned was chosen, when the specified functional number FN is in agreement with the functional number j of the function which chip 11i has (j is either 1-3) (step B5). Here, if FN is 1, chip 11A will be chosen and the proper register field 115-1 in the chip 11A concerned will be accessed. Similarly, if FN is 2, chip 11B will be chosen, the proper register field 115-2 in the chip 11B concerned will be accessed, if FN is 3, chip 11C will be chosen and the proper register field 115-3 in the chip 11C concerned will be accessed.

[0050] Controller 112i's activation of step B3 or B5 advances it to step B6. Moreover, when the specified functional number FN is not in agreement with the functional number j of the function which chip 11i has, controller 112i skips step B5 and progresses to step B6.

[0051] Controller 112i judges whether the location on the card 10 of chip 11i is the last in step B6. If it is the last, controller 112i will send out the response to the instruction from a host driver on response Rhine 13 by interface 111i (step B7).

[0052] On the other hand, if it is not the last, it will wait for controller 112i to receive the response sent out to the command line 12 from the last chip (the example of drawing 1 chip 11C) (step B8). And controller 112i will judge whether the location on the card 10 of chip 11i is a head, if a response is received (step B9).

[0053] If it is not a head, controller 112i will make the received response transmit to the chip of the preceding paragraph through response Rhine 13 as it is by interface 111i (step B10). On the other hand, if it is a head, controller 112i will set the status as the status field 31 of the received response, and will be made to transmit it to a host driver through response Rhine 13 by interface 111i (step B11).

[0054] Next, when it judges that the received instruction specifies the lead, the functional number FN by which controller 112i is set as the instruction-function number field 22 concerned judges whether it is 0 (step C1). When the functional number FN is not 0, it judges whether the FN of controller 112i concerned corresponds with the functional number n of chip 11i (step C2).

[0055] Controller 112i reads data from the assignment register in proper register field (#FN) 115-j specified by functional number FN=j as that as which the chip 11i concerned was chosen, when the specified functional number FN is in agreement with the functional number j of the function which chip 11i has (j is either 1-3) (step C3). The difference between a lead and a light of these steps C1, C2, and C3 is the same as that of above-mentioned step B-2 of a certain thing, B4, and B5. On the other hand, when the specified functional number FN is not in agreement with the functional number j of the function which chip 11i has, controller 112i performs processing after above-mentioned step B6.

[0056] On the other hand, when judged with the functional number FN being 0 at step C1, controller 112i judges whether the assignment register in common register field 114i is a common register (step C4). The relative position in the common register fields 114A and 114B and 114C is the same register, and a common register points out the register of the same contents common to each chips 11A, 11B, and 11C. The common register in the common register fields 114A and 114B and 114C is specified from a host driver. Here, read access of a common register is performed by only the chip chosen by the host driver among Chips 11A, 11B, and 11C.

[0057] Therefore, controller 112i judges whether chip 11i is chosen about the common register access, when the assignment register in common register field 114i is a common register (step C5). Supposing chip 11i is chosen, controller 112i leads the common register with which it was specified in common register field 114i (step C6). On the other hand, if chip 11i is not chosen, controller 112i will perform processing after above-mentioned step B6.

[0058] Controller 112i will judge whether the location on the card 10 of chip 11i is the last, if lead actuation of steps C3 or C6 is performed (step C7). If it is the last, controller 112i will send out the led data on a data line 14 while sending out the response to the instruction from a host driver on response Rhine 13 by interface 111i (step C8). In addition, to the case of the data lead from one register, i.e., a 1-byte lead, it is also possible like this operation gestalt to set up and transmit lead data to the data field 32 of a response.

[0059] On the other hand, if it is not the last, it will wait for controller 112i to receive the response sent out to the command line 12 from the last chip (the example of drawing 1 chip 11C) (step C9). And controller 112i will judge whether the location on the card 10 of chip 11i is a head, if a response is received (step BC 10).



[0060] If it is not a head, controller 112i will send out the led data on a data line 14 while making the received response transmit to the chip of the preceding paragraph through response Rhine 13 as it is by interface 111i (step C11). On the other hand, if it is a head, while controller 112i will set the status as the status field 31 of the received response and making it transmit to a host driver through response Rhine 13 by interface 111i, the led data are sent out to a host driver through a data line 14 (step C12). Thereby, the common register fields 114A, 114B, and 114C of Chips 11A, 11B, and 11C can be shown as a common register field 114 of the register map of drawing 4 (b) to a host driver by the card 10 whole.

[0061] On the other hand, when judged with an assignment register not being a common register at step C4 that is, in the register lead of those other than a common register, controller 112i performs step D1. Controller 112i leads the bit n-1 corresponding to the own functional number n in this step D1 among the bits 0-7 of the assignment register in common register field 114i. This lead actuation leads an assignment register and is realized by choosing that bit n-1. When the multi-statement of the own functional number is carried out, all the bits corresponding to each of those functional numbers are led. With this operation gestalt, the functional numbers of Chips 11A, 11B, and 11C are 1, 2, and 3, respectively. In this case, in controller 112 of chip 11A A, the bit 0 of the assignment register in common register field 114A is led. Similarly, in controller 112 of chip 11B B, the bit 1 of the assignment register in common register field 114B is led, and the bit 2 of the assignment register in common register field 114C is led in controller 112C of chip 11C.

[0062] Controller 112i's activation of lead actuation of step D1 judges whether the location on the card 10 of chip 11i is the last (step D2). If it is the last, controller 112i will be the response to the instruction from a host driver, and the response to which the data (bit data) which led the bit n-1 of the data field 24 at step D1 were set will be sent out on response Rhine 13 by interface 111i (step D3).

[0063] On the other hand, if it is not the last, it will wait for controller 112i to receive the response sent out to the command line 12 from the last chip (the example of drawing 1 chip 11C) (step D4). And controller 112i will judge whether the location on the card 10 of chip 11i is a head, if a response is received (step D5).

[0064] If it is not a head, controller 112i will set up the data which led the bit n-1 of the data field 24 of a response which received at step D1, and will be made to transmit them to the chip of the preceding paragraph through response Rhine 13 by interface 111i (step D6). On the other hand, if it is a head, controller 112i will set the status as the status field 31 of the received response, will set lead data as the bit n-1 of a data field 32, respectively, and will be made to transmit them to a host driver through response Rhine 13 by interface 111i (step D7). Thereby, the common register fields 114A, 114B, and 114C of Chips 11A, 11B, and 11C can be shown as a common register field 114 of the register map of drawing 4 (b) to a host driver by the card 10 whole.

[0065] [Operation gestalt of \*\* 2nd] drawing 12 shows the block configuration of the multifunctional card concerning the 2nd operation gestalt of this invention. The multifunctional card 20 of drawing 12 is equipped with the multiple function chip 120 which has the same functions F1, F2, and F3 as the multifunctional card 10 of drawing 1. A multiple function chip 120 integrates highly the functions F1, F2, and F3 of the single functional chips 11A, 11B, and 11C used for constituting a card 10, and unifies them for one chip. Although development takes time amount to this multiple function chip 120 compared with the single functional chips 11A, 11B, and 11C, it can aim at reduction of low-cost-izing and a component-side product by high integration. Then, when the card 10 of drawing 1 R > 1 is manufactured and sold and development of a multiple function chip 120 is completed at the beginning, it is good to change to manufacture and sale of the card 20 of drawing 2.

[0066] A chip 120 contains the functional module 121-1, 121-2, 121-3 which has functions F1, F2, and F3, the interface module (IF module) 122 which manages a functional module 121-1, 121-2, 121-3 while making an interface with a host driver, and memory 123. The IF module 122 is connected with a host driver through an interface bus 18 by inserting a card 20 in the card slot of a host system.

[0067] The common register field 114 and the proper register field 115-1, 115-2, 115-3 which take the register map configuration shown in drawing 4 (b) are assigned to memory 123. The register map configuration in this card 20 and the register map configuration in a card 10 are the same, having function F1, F2 and F3 with a card 10, and connecting and using the usable single functional chips 11A, 11B, and 11C independently using the multiple function chip 120 with which function F1, F2 and F3 were unified with the card 20. Therefore, even when using a card 20 with a host system, or even when using a card 10, it is not necessary to change a host driver. That is, it is not necessary to develop two kinds of host drivers.

[0068] in addition, this invention is not limited to each above-mentioned operation gestalt, and in the range which does not deviate from the summary, many things are boiled and it can be deformed at an execution phase. Furthermore, invention of various phases is included in the above-mentioned operation gestalt, and various invention may be extracted by the proper combination in two or more requirements for a configuration indicated. For example, even if some requirements for a configuration are deleted from all the requirements for a configuration shown in an operation gestalt, the technical problem stated in the column of Object of the Invention is solvable, and when at least one of the effectiveness stated in the column of an effect of the invention is obtained, the configuration from which this requirement for a configuration was deleted may be extracted as invention.

[0069]

[Effect of the Invention] While connecting two or more single functional chips according to this invention although a multifunctional card is realized as explained in full detail above. The storage module which includes a common area and a proper field in each chip concerned is prepared. If the functional number under received instruction was a specific functional number common to each chip concerned, the common area was accessed, and if it was the functional number by which the functional number was assigned to the function which the chip concerned has, it is considered as the configuration with which the fixed area in the chip concerned of a proper is accessed by the function. An independent control unit which is indicated by JP,9-223200,A for managing the function of each \*\*\*\*\* chip on the card concerned by this although a multifunctional card is realized can be made unnecessary. And compared with the case where a multifunctional card is realized using the multiple function chip with which the required function was unified from having realized the multifunctional card using two or more single functional chips, development is easy, and a development cycle is also short and ends.

[0070] Moreover, according to this invention, the common area which each chip has can be shown as one common area with the whole card. Thereby, the memory map configuration of the whole card serves as the memory map configuration and equivalence which should be applied with the multifunctional card realized using the multiple function chip with which the required function was unified for reduction of the memory map configuration which consists of one common area common to all the functions (chip) that a card has, and a proper field for every function, i.e., low-cost-izing, and a component-side product. Therefore, even when using the multifunctional card of which type, it can respond by the same host driver and it is not necessary to develop two kinds of host drivers.

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the multifunctional card concerning the 1st operation gestalt of this invention.

[Drawing 2] Drawing showing a format of the instruction applied with this operation gestalt.

[Drawing 3] Drawing showing a format of the response applied with this operation gestalt.

[Drawing 4] Drawing showing the register map configuration in each \*\*\*\*\* chips 11A, 11B, and 11C in a card 10, and the register map configuration of the card 10 whole concerned by comparison.

[Drawing 5] Drawing showing the relation between the condition of the terminals 116i and 117i of each chip 11i in a card 10 (i=A, B, C), and the chip location in the card 10 concerned.

[Drawing 6] The flow chart for explaining the actuation at the time of initialization of the multifunctional card 10 of drawing 1.

[Drawing 7] The timing chart for explaining the actuation at the time of initialization of the multifunctional card 10 of drawing 1.

[Drawing 8] The timing chart for explaining the modification of the actuation at the time of initialization of the multifunctional card 10 of drawing 1.

[Drawing 9] Drawing showing a part of flow chart for explaining the actuation at the time of instruction reception of the multifunctional card 10 of drawing 1.

[Drawing 10] Drawing showing a part of other flow charts for explaining the actuation at the time of instruction reception of the multifunctional card 10 of drawing 1.

[Drawing 11] It is drawing about the remainder of the flow chart for explaining the actuation at the time of instruction reception of the multifunctional card 10 of drawing 1.

[Drawing 12] The block diagram showing the configuration of the multifunctional card concerning the 2nd operation gestalt of this invention.

[Drawing 13] Drawing showing the important section of the flow chart for explaining the actuation at the time of initialization in consideration of the case where chip 11i in the card 10 of drawing 1 (i=A, B, C) is used independently.

[Description of Notations]

10 20 -- Multifunctional card

11A, 11B, 11C -- Single functional chip

12 -- Command line

13 -- Response Rhine

14 -- Data line

15 -- Power-source Rhine

16 -- Touch-down Rhine

17 -- Clock line

18 -- Interface bus

21 -- Command field

22 -- Functional number field

23 -- Address field

24 32 -- Data field

31 -- Status field

111A, 111B, 111C -- Interface

112A, 112B, 112C -- Controller

113A, 113B, 113C, 123 -- Memory (storage module)

114A, 114B, 114C, 114 -- Common register field (common area)

115-1, 115-2, 115-3 -- Proper register field (proper field)

116A, 116B, 116C -- Specific terminal (the 1st terminal)

117A, 117B, 117C -- Specific terminal (the 2nd terminal)

120 -- Multiple function chip

121-1, 121-2, 121-3 -- Functional module

122 -- Interface module (IF module)

---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-245428

(P2002-245428A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) IntCl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 0 6 K 19/07		B 4 2 D 15/10	5 2 1 2 C 0 0 5
B 4 2 D 15/10	5 2 1	G 0 6 K 19/00	N 5 B 0 3 5

審査請求 有 請求項の数 11 O L (全 13 頁)

(21) 出願番号 特願2001-43631 (P2001-43631)

(22) 出願日 平成13年2月20日 (2001.2.20)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 藤本 曜久

東京都青梅市末広町2丁目9番地 株式会  
社東芝青梅工場内

(72) 発明者 青山 能正

東京都青梅市末広町2丁目9番地 株式会  
社東芝青梅工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム (参考) 2C005 MA17 MA33 MB04 NA02 NB04  
SA22

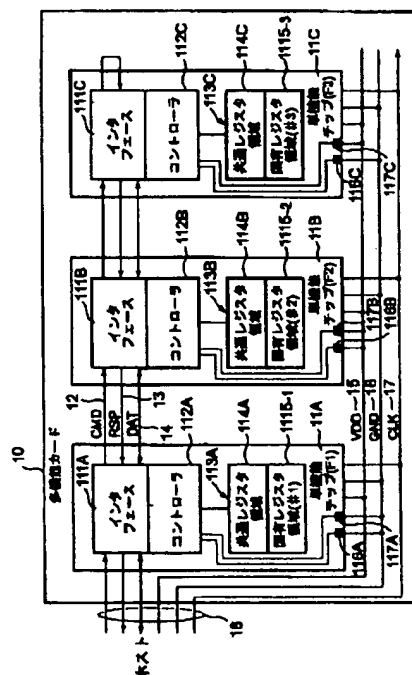
5B035 AAD4 BB09 CA07 CA29

(54) 【発明の名称】 複数の機能を有する多機能カード、同カードに用いられる単機能チップ及び多機能カードの構成方法

(57) 【要約】

【課題】 多機能カードが容易に開発できるようにする。

【解決手段】 機能F1～F3を有する単機能チップ11A～11Cは、コマンドライン12、応答ライン13、及びデータライン14を含む信号ライン群により接続される。コントローラ112A～112Cは、コマンドライン12上の命令中の機能番号がチップ11A～11Cに共通の特定機能番号、例えば0であるならば、それぞれ共通領域114A～114Cをアクセスする。また、命令中の機能番号が0以外であるならば、例えば1のときはコントローラ112Aにより固有領域115-1がアクセスされ、2のときはコントローラ112Bにより固有領域115-2がアクセスされ、3のときはコントローラ112Cにより固有領域115-3がアクセスされる。



## 【特許請求の範囲】

【請求項1】 複数の機能を有し、ホストシステムに接続して用いられる多機能カードにおいて、前記複数の機能のうちの少なくとも1つを有する複数の単機能チップと、

前記複数の単機能チップを接続する信号ライン群であって、命令を転送するためのコマンドライン、前記命令に対する応答をシリアル転送するための応答ライン、及びデータを転送するためのデータラインを含む信号ライン群とを具備し、

前記各単機能チップは、前記複数の機能に共通の共通領域、及び自身の有する機能に固有の固有領域を含む記憶モジュールと、当該チップ全体を制御するコントローラであって、前記コマンドライン上の命令が機能を指定する機能番号を含む場合、当該命令中の機能番号が前記各単機能チップに共通の特定機能番号であるならば前記共通領域をアクセスし、当該命令中の機能番号が当該チップの有する機能に割り当てられた機能番号であるならば、その機能に固有の当該チップ内の前記固定領域をアクセスするコントローラとを備えることを特徴とする多機能カード。

【請求項2】 前記各単機能チップのコントローラは前記多機能カードの初期化時に、当該チップの前記ホストシステムを基準とする接続位置が先頭であるならば、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が先頭でも最後でもないならば、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が最後であるならば、自身の有する機能に対し、直前の接続位置の単機能チップから通知された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を通知する応答を前記応答ラインに送出する手段を備えることを特徴とする請求項1記載の多機能カード。

【請求項3】 前記信号ライン群は電源ライン及び接地ラインを含み、

前記各単機能チップは、前記電源ライン及び前記接地ラインの一方と接続される第1の端子と、前記電源ライン及び前記接地ラインの一方と接続される第2の端子とを含み、

前記各単機能チップの前記コントローラは、当該チップの接続位置が、先頭、最後、及び先頭でも最後でもない位置を含む複数の位置のうちのいずれであるかを、前記第1及び第2の端子の状態に応じて判定する手段を備えることを特徴とする請求項2記載の多機能カード。

【請求項4】 前記各単機能チップのコントローラは前記多機能カードの初期化時に、当該チップの前記ホストシステムを基準とする接続位置が先頭であるならば、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドラインに送出し、当該チップの接続位置が先頭でないならば、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドラインに送出し、当該チップの接続位置が最後であるならば、前記コマンドラインに送出した機能番号を含む応答を前記応答ラインに送出する手段を備えることを特徴とする請求項1記載の多機能カード。

【請求項5】 前記信号ライン群は電源ライン及び接地ラインを含み、

前記各単機能チップは、前記電源ライン及び前記接地ラインの一方と接続される第1の端子と、前記電源ライン及び前記接地ラインの一方と接続される第2の端子とを備え、

前記コマンドラインの終端と前記応答ラインの始端とが接続されており、

前記各単機能チップの前記コントローラは、当該チップの接続位置が、先頭、及び先頭以外を含む複数の位置のうちのいずれであるかを、前記第1及び第2の端子の状態に応じて判定すると共に、前記コマンドラインに送出した機能番号を前記応答ラインから受信した場合に、当該チップの接続位置が最後であると判定する手段を備えることを特徴とする請求項4記載の多機能カード。

【請求項6】 前記各単機能チップのコントローラは、前記共通領域をリードアクセスした場合、当該チップの接続位置が最後であるならば、当該チップの有する機能に対応するリードデータ中のビットデータがその機能に対応するビット位置に設定された応答を前記応答ラインに送出し、当該チップの接続位置が最後でないならば、当該チップの有する機能に対応する前記応答ライン上の応答データ中のビット位置に、当該チップの有する機能に対応するリードデータ中のビットデータを設定するリード手段を備えることを特徴とする請求項5記載の多機能カード。

【請求項7】 前記各単機能チップのコントローラ内の前記リード手段は、前記コマンドライン上の命令が機能を指定する機能番号を含むリード命令である場合に、当該チップだけが選択されているか否かを判定し、選択されているならば、前記共通領域をリードアクセスして、そのリードデータを前記データラインに送出するリード手段を備えることを特徴とする請求項6記載の多機能カード。

【請求項8】 複数の機能を有する多機能カードを構成するのに用いられ、前記複数の機能のうちの少なくとも

1つを有する単機能チップであって、  
前記複数の機能に共通の共通領域、及び自身の有する機能に固有の固有領域を含む記憶モジュールと、  
前記チップ全体を制御するコントローラと、  
命令を転送するためのコマンドライン、前記命令に対する応答をシリアル転送するための応答ライン、及びデータを転送するためのデータラインを含む信号ライン群と接続されるインタフェースとを具備し、  
前記コントローラは、前記コマンドライン上の命令が機能を指定する機能番号を含む場合、当該命令中の機能番号が前記各単機能チップに共通の特定機能番号であるならば前記共通領域をアクセスし、当該命令中の機能番号が当該チップの有する機能に割り当てられた機能番号であるならば、その機能に固有の当該チップ内の前記固有領域をアクセスするアクセス手段を備えることを特徴とする単機能チップ。

【請求項9】 前記コントローラは、前記単機能チップの初期化時に、

当該チップが単独で用いられているか、ホストシステムに接続して用いられる多機能カードを構成するために、他の単機能チップと前記信号ライン群により接続されているかを判定する手段と、前記判定手段により単独で用いられていると判定された場合、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てる手段と、前記判定手段により他の単機能チップと接続されていると判定された場合、前記ホストシステムを基準とする接続位置が先頭であるならば、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が先頭でも最後でもないならば、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が最後であるならば、自身の有する機能に対し、直前の接続位置の単機能チップから通知された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を通知する応答を前記応答ラインに送出する手段を備えることを特徴とする請求項1記載の多機能カード。

【請求項10】 少なくとも1つの機能を有し、共通領域、及び当該機能に固有の固有領域を含む記憶モジュールを備えた複数の単機能チップが、命令を転送するためのコマンドライン、前記命令に対する応答をシリアル転送するための応答ライン、及びデータを転送するためのデータラインを含む信号ライン群によって接続された多機能カードの構成方法であって、  
前記コマンドライン上の命令が機能を指定する機能番号

を含む場合、当該命令中の機能番号が前記各単機能チップに共通の特定機能番号であるか否かを判定するステップと、  
前記命令中の機能番号が前記特定機能番号であるならば前記共通領域をアクセスするステップと、  
前記命令中の機能番号が前記特定機能番号でないならば、前記各単機能チップの固有領域のうち、当該命令中の機能番号が割り当てられた機能に固有の固有領域をアクセスするステップとを具備することを特徴とする多機能カードの構成方法。

【請求項11】 前記多機能カードの初期化時に、前記ホストシステムを基準とする接続位置が先頭の単機能チップにおいて、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出するステップと、  
前記接続位置が先頭でも最後でもない単機能チップにおいて、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出するステップと、  
前記接続位置が最後の単機能チップにおいて、自身の有する機能に対し、直前の接続位置の単機能チップから通知された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を通知する応答を前記応答ラインに送出するステップとを更に具備することを特徴とする請求項10記載の多機能カードの構成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の単機能チップを接続して構成される複数の機能を有する多機能カード、同カードに用いられる単機能チップ及び多機能カードの構成方法に関する。

【0002】

【従来の技術】 近時、パーソナルコンピュータ、携帯情報端末、電子カメラ等の電子機器は、機能拡張が可能なように、入出力機能を有するカードが挿入可能なカードスロットを備えているのが主流となっている。このような電子機器では、カードスロットにカードを挿入することにより、そのカードに固有の入出力機能、例えばメモリ、セキュリティ回路、シリアルインタフェース、ブルートゥースインタフェース、U.R.T (Universal Asynchronous Receiver Transmitter) 等の入出力機能を容易に実現することができる。また最近、複数種類の入出力機能（複数機能）を有するカード（多機能カード）が要求されている。

【0003】

【発明が解決しようとする課題】上記したように最近  
は、多機能カードが要求されている。このようなカード  
を実現するには、必要とする複数種類の入出力機能を有  
する集積回路チップを開発することが好ましい。

【0004】しかし、必要な機能を高集積化して1チッ  
プ（多機能チップ）に統合するには、開発に多くの時間  
を要する。このため、複数機能を有する多機能チップが  
実装された多機能カードの販売時期が遅れる等の問題が  
生じやすい。

【0005】一方、各機能別のチップ（単機能チップ）  
の開発は、同様のチップが既に存在する場合が多いこと  
から、多機能チップに比べれば容易である。そこで最初  
の段階では、必要とする種類の単機能チップを個別に開  
発し、それぞれの種類の単機能チップを1つのカード上  
に実装して多機能カードを実現することが考えられる。  
この場合、多機能チップの開発が完了した段階で、その  
多機能チップが実装されたカード（多機能カードに）の  
製造・販売に切り替えればよい。

【0006】ところが、複数の単機能チップを実装して  
多機能カードを実現するには、例えば特開平9-223  
200号公報に記載されているように、個々の機能（チ  
ップ）を管理する制御ユニットが必要となり、この制御  
ユニットも開発しなければならない。

【0007】本発明は上記事情を考慮してなされたもの  
でその目的は、開発が容易な多機能カード、同カードに  
用いられる単機能チップ及び多機能カードの構成方法を  
提供することにある。

【0008】

【課題を解決するための手段】本発明は、複数の機能を  
有し、ホストシステムに接続して用いられる多機能カー  
ドにおいて、上記複数の機能のうちの少なくとも1つを  
有する複数の単機能チップと、命令を転送するためのコ  
マンドライン、命令に対する応答をシリアル転送するた  
めの応答ライン、及びデータを転送するためのデータラ  
インを含み、上記複数の単機能チップを接続する信号ラ  
イン群とを備え、上記各単機能チップに、上記複数の機  
能に共通の共通領域、及び自身の有する機能に固有の固  
有領域を含む記憶モジュールと、当該チップ全体を制御  
するコントローラとを設けたことを特徴とする。このコン  
トローラは、コマンドライン上の命令が機能を指定する  
機能番号を含む場合に、その機能番号が上記各単機能チ  
ップに共通の特定機能番号であるならば上記共通領域を  
アクセスし、その機能番号が当該チップの有する機能に  
割り当てられた機能番号であるならば、その機能に固有  
の当該チップ内の上記固定領域をアクセスすることを特  
徴とする。

【0009】このように、本発明の多機能カードにおい  
ては、命令により各チップに共通の特定機能番号が指定  
されたときは、共通領域がアクセスされ、特定機能番号  
以外の機能番号が指定されたときは、その機能番号が割

り当てられている機能を持つ単機能チップに設けられ  
た、その機能に固有の固有領域がアクセスされる。よっ  
て、各チップが有する共通領域を、カード全体では1つ  
の共通領域として見せることができる。これによりカー  
ドとしてのメモリマップ構成は、当該カードが有する全  
ての機能（チップ）に共通の1つの共通領域と、各機能  
毎の固有領域とからなるメモリマップ構成、即ち低コス  
ト化と実装面積の低減のために、必要な機能が統合され  
た多機能チップを用いて実現される多機能カードで適用  
すべきメモリマップ構成と等価となる。したがって、い  
ずれのタイプの多機能カードを使用する場合でも、同一  
のホストドライバで対応でき、2種類のホストドライバ  
を開発する必要がない。また、複数の単機能チップを用  
いて多機能カードを実現していることから、必要な機能  
が統合された多機能チップを用いて多機能カードを実現  
する場合に比べて開発が容易で且つ開発期間も短くて済  
む。

【0010】また本発明は、上記各単機能チップのコン  
トローラに次の手段、即ち多機能カードの初期化時に、  
当該チップのホストシステムを基準とする接続位置が先  
頭であるならば、つまり当該チップが初段のチップであ  
るならば、自身の有する機能に対し、予め定められた機  
能番号から順に機能番号を割り当てると共に、割り当て  
た機能番号を次段に通知し、当該チップが初段でも最終  
段でもないならば、自身の有する機能に対し、前段のチ  
ップから送出された機能番号の次の機能番号から順に機  
能番号を割り当てると共に、割り当てた機能番号を次段  
に通知し、当該チップが最終段であるならば、自身の有  
する機能に対し、前段チップから通知された機能番号の  
次の機能番号から順に機能番号を割り当てると共に、割  
り当てた機能番号を通知する応答を応答ラインに送出す  
る手段を備えたことをも特徴とする。

【0011】このように本発明においては、多機能カー  
ドを実現する複数の単機能チップが有する各機能につい  
て、カード初期化時に、その機能を有するチップの接続  
位置で決まる順番で、そのチップのコントローラにより  
機能番号が自動的に割り当てられる。この割り当てに、  
特開平9-223200号公報に記載されているような  
制御ユニットは必要なく、この点からも、必要な機能が  
統合された多機能チップを用いて多機能カードを実現す  
る場合に比べて開発が容易で且つ開発期間も短くて済  
む。

【0012】以上の構成の多機能カードに係る発明は、  
当該カードを構成する各単機能チップに係る発明として  
も成立し、また多機能カードの構成方法に係る発明とし  
ても成立する。

【0013】

【発明の実施の形態】以下、本発明の実施の形態につ  
き図面を参照して説明する。

【0014】〔第1の実施形態〕図1は本発明の第1の

実施形態に係る多機能カードのブロック構成を示す。図1の多機能カード10は、それぞれ固有の機能F1、F2、F3を有する3つの単機能チップ11A、11B、11Cを備えている。

【0015】チップ11A、11B、11Cは、それぞれコマンドライン(CMD)12、応答ライン(RSP)13、及びデータライン(DAT)14によりデージーチェーン(daisy chain)接続されている。コマンドライン12は命令のシリアル転送に用いられる。応答ライン13は命令に対する応答等のシリアル転送に用いられる。データライン14はデータの転送に用いられる。データライン14のデータ幅は例えば4ビットである。

【0016】コマンドライン12は信号の方向がチップ11A→チップ11B→チップ11Cの単方向信号ラインである。応答ライン13は信号の方向がコマンドライン12とは逆の単方向信号ラインである。コマンドライン12の終端は応答ライン13の始端と接続されている。つまりコマンドライン12はチップ11Cで応答ライン13側に折り返されている。これにより、チップ11Cからコマンドライン12に送出された命令は応答ライン13を介して当該チップ11Cに戻される。データライン14のデータ方向は双方向であり、その方向はコマンドライン12上の命令によって決定されて、後述するインタフェース111A、111B、111Cにより切り替えられる。

【0017】また各チップ11A～11Cは電源ライン(VDD)15、接地ライン(GND)16及びクロックライン(CLK)17に共通に接続されている。

【0018】カード10は、当該カード10を利用するホストシステムのカードスロットに挿入されることにより、コマンドライン12、応答ライン13、データライン14、電源ライン15、接地ライン16及びクロックライン17を含むインタフェースバス18を介して、ホストシステムのドライバ(ホストドライバ)と接続される。

【0019】チップ11A、11B、11Cは、それぞれ、コマンドライン12、応答ライン13、データライン14及びクロックライン17と接続されるインタフェース111A、111B、111Cと、当該チップ11A、11B、11C全体を制御し、機能F1、F2、F3を実現するためのコントローラ112A、112B、112Cと、メモリ(記憶モジュール)113A、113B、113Cとを有している。

【0020】コントローラ112i(i=A、B、C)は、コマンドライン12を介して与えられる命令に対し、インタフェース111iを介して応答ライン13上に応答を返す。この命令のフォーマットを図2に、応答のフォーマットを図3に、それぞれ示す。

【0021】命令は、コマンドフィールド21と、機能

番号フィールド22と、アドレスフィールド23とを含む。また、1バイトのデータフィールド24を含むこともある。コマンドフィールド21はリード/ライト等の命令種類を指定し、機能番号フィールド22は図1のカードが有する機能の1つを指定するのに用いられる。この機能指定には機能番号(FN)が用いられる。ここでは、チップ11A、11B、11Cの機能F1、F2、F3の機能番号は、それぞれ1、2、3であるものとする。但し、チップ11A、11B、11Cが単独で用いられる場合には、機能F1、F2、F3の機能番号はいずれも1となる。アドレスフィールド23は、機能番号フィールド22に設定されている機能番号で決まるレジスタ領域内のレジスタを指定するのに用いられる。

【0022】応答は、カード10のステータスを示すステータスフィールド31と1バイトのデータが設定されるデータフィールド32とを含む。

【0023】メモリ113A、113B、113Cには、カード10の全ての機能F1、F2、F3に共通の、つまりカード10上の全てのチップ11A、11B、11Cに共通の同サイズの共通レジスタ領域(共通領域)114A、114B、114Cと、機能F1、F2、F3に固有の固有レジスタ領域115-1、115-2、115-3とが確保されている。領域114A、114B、114C、115-1、115-2、115-3には、それぞれ複数のレジスタが割り当てられている。ここでは、各レジスタのサイズは8ビット(1バイト)である。各チップ11A、11B、11Cのレジスタマップを図4(a)に示す。

【0024】共通レジスタ領域114i(i=A、B、C)は、特定の機能番号、例えば機能番号0(FN=0)によって共通に指定される。一方、固有レジスタ領域115-1、115-2、115-3は、対応する機能F1、F2、F3毎に独立した領域であり、それぞれ機能F1、F2、F3の機能番号1、2、3(FN=1、2、3)によって指定される。したがって、図4(a)に示した各チップ11A、11B、11Cのレジスタマップは、多機能カード10のレジスタマップとしては、図4(b)に示すレジスタマップ、即ち機能番号0によって指定される共通レジスタ領域114と、機能番号1、2、3(FN=1、2、3)によって指定される固有レジスタ領域115-1、115-2、115-3とから構成されるレジスタマップと等価である。この図4(b)のレジスタマップ構成は、後述するように、チップ11A、11B、11Cの各機能を1チップ(多機能チップ)に統合した場合にも適用される。つまり、チップ11A、11B、11Cを接続して複数機能が実現される多機能カードと、当該複数機能が1つのチップで実現される多機能カードとで、同一レジスタマップ構成とすることができる。

【0025】なお、チップ11A、11B、11Cが単



独でカードに実装される場合、つまり当該チップ11A、11B、11Cのカード上の位置が後述するように先頭で且つ最後の場合には、当該チップ11A、11B、11Cの固有レジスタ領域115-1、115-2、115-3はいずれも機能番号1によって指定される。

【0026】本実施形態では、チップ11A、11B、11Cがそれぞれ1つの機能F1、F2、F3を有するものとしているが、複数の機能を有していても構わない。複数の機能を有するチップには、その機能数分の固有領域を用意すればよい。この場合、1つのチップに、機能数分の機能番号が割り当てられる。

【0027】チップ11A、11B、11Cは、それぞれ、例えば2本の特定端子116A及び117A、116B及び117B、116C及び117Cを有している。このチップ11iの特定端子116i及び117iは、当該チップ11iのカード上の接続位置がホストシステム側を基準に先頭位置、または最後の位置、またはそれ以外の位置のいずれであるかを指定するのに用いられる。また、チップ11iの特定端子116i及び117iは、当該チップ11iが単独で用いられる場合には、当該チップ11iのカード上の接続位置が先頭で且つ最後の位置であることを指定するのにも用いられる。このチップ11iの接続位置は、当該チップ11iの特定端子116i及び117iの各々をカード上の電源ライン15または接地ライン16に接続することで、つまり“1”または“0”に設定することで、指定可能である。この端子116i及び117iの状態とチップ11iの位置との関係の一例を図5に示す。

【0028】次に、本実施形態の動作を、(1)初期化時と(2)命令受信時のそれぞれについて、順次説明する。

【0029】(1)初期化時

まず、多機能カード10の初期化時の動作について、図6のフローチャートを参照して説明する。

【0030】ホストシステムの電源が投入されている状態で、当該ホストシステムのカードスロットにカード10が挿入されると、インタフェースバス18の電源ライン15を介して当該カード10に電源が供給される。また、カード10がホストシステムのカードスロットに挿入されている状態で、ホストシステムの電源が投入されても、当該カード10に電源が供給される。このようにカード10に電源が供給された場合などにおいては、単機能チップ11i(i=A、B、C)のコントローラ112iは、以下に述べる初期化処理を実行する。

【0031】まずコントローラ112iは、端子116i及び117iの論理状態から、単機能チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップA1)。もし、先頭である場合、つまりチップ11iが単機能チップ11Aの場合、コントローラ112iは自身の機能数を変数pに設定すると共に、機能番号

を示す変数nを初期値0に設定する(ステップA2、A3)。

【0032】次にコントローラ112iは、変数nを1インクリメントした値を自身の機能の機能番号nとして設定する(ステップA4)。次にコントローラ112iは、変数pを1デクリメントして、そのデクリメント後のpが0であるか否かを判定する(ステップA5、A6)。もし、pが0でないならば、コントローラ112iは再びステップA4を実行する。これに対し、pが0であるならば、コントローラ112iは現在の機能番号nの値、つまり自身の設定した最大機能番号nの値をデータ“n”として、インタフェース111iによりクロックライン17上のクロック信号に同期してデータライン14に送出させる(ステップA7)。このときコントローラ112iは、初期化コマンドをインタフェース111iによりコマンドライン12に送出させる。この初期化コマンドは、後続のチップ11B及びチップ11Cに順にシリアル転送される。

【0033】本実施形態において、先頭位置のチップは機能F1のみを有する単機能チップ11Aである。この場合、チップ11AではステップA4～A6が1回だけ実行されて、機能F1の機能番号として1が設定される。したがって、チップ11Aからは、図7のタイミングチャートに示すようにデータ“1”が1クロックの期間だけ送出される。

【0034】一方、先頭以外のチップ11iのコントローラ112iは、インタフェース111iにより、コマンドライン12から初期化コマンドが、データライン14から0以外のデータ“n”が、それぞれ受信されるのを待つ(ステップA10)。そして、0以外のデータ“n”が受信されると、コントローラ112iは自身の機能数を変数pに設定する(ステップA11)。次にコントローラ112iは、機能番号を示す変数nを受信データ“n”の値に設定する(ステップA12)。以降の動作は先頭のチップ11i(11A)と同様であり、ステップA4～A6と同様のステップA13～A15が実行される。

【0035】コントローラ112iは、ステップA13～A15をチップ11iの有する機能数だけ実行すると、当該チップ11iのカード10上の位置が最後であるか否かを判定する(ステップA16)。もし、最後でないならば、コントローラ112iは受信データ“n”を現在の機能番号nの値、つまり自身の設定した最大機能番号nの値に変更して、データライン14を介して次段のチップに送出させる(ステップA17)。本実施形態において、チップ11Aの次段のチップ11Bは機能F2のみを有することから、当該チップ11BではステップA13～A15が1回だけ実行されて、機能F2の機能番号として2が設定される。したがって、チップ11Bからは、図7のタイミングチャートに示すようにデ

ータ“2”が次の1クロックの期間だけ送出される。

【0036】これに対し、最後のチップ11iのコントローラ112iは、現在の機能番号nの値、つまり自身の設定した最大機能番号nの値がデータフィールド32に設定された応答を、インタフェース111iにより応答ライン13上に送出させる（ステップA20）。本実施形態において、最後のチップは機能F3のみを有する単機能チップ11Cであることから、当該チップ11CではステップA13～A15が1回だけ実行されて、機能F3の機能番号として3が設定される。したがって、チップ11Cからは、図7のタイミングチャートに示すようにデータ“3”が付された応答が次のクロックのタイミングから一定クロック数の期間送出される。

【0037】チップ11Bでは、チップ11Cからの応答がインタフェース111Bで受信されると、その応答が、図7のタイミングチャートに示すように1クロック期間だけ遅延されて、そのまま前段のチップ11Aに伝達される（ステップA18、A19）。チップ11Aでは、チップ11Bにより伝達された応答が受信されると、その応答のデータフィールド32の値から、多機能カード10における最大機能番号、つまり機能数を判定してホストシステムのホストドライバに通知する（ステップA9）。

【0038】ホストドライバは、チップ11Aから通知された機能数をもとに、カード10が有する各機能の機能番号を認識する。そしてホストドライバは、認識した各機能番号を用いて対応する機能毎のコンフィグレーションを行う。

【0039】なお、図6のフローチャートでは、チップ11iが単独で 사용되는場合については考慮されていない。必要ならば、例えば図13のフローチャートに示すように、ステップA1の前で、チップ11iの位置が先頭で且つ最後であるか否かを判定し（ステップE1）、YESであれば、つまりチップ11iが単独で使われているならば、ステップA2～A6、A9と同様のステップE2～E6、E7を処理を実行すればよい。一方、ステップE1の判定がNOであれば、つまりチップ11iが他の単機能チップと接続して使われているならば、図6のフローチャートと同一の処理、即ちステップA1以降の処理を実行すればよい。明らかなように、チップ11iが単独で 사용되는場合、当該チップ11iが1つの機能を有しているならば、その機能には必ず機能番号1が割り当てられる。また、複数の機能を有しているならば、その機能数をNとすると、そのN個の機能には、それぞれ機能番号1～Nが割り当てられる。

【0040】また、図1の構成では、チップ11A～11Cがコマンドライン12によりデジタイズチェーン接続されているものとしたが、これに限るものではない。例えば、チップ11A～11Cがコマンドライン12によ

り共通に接続されるものであっても構わない。但し、図1の構成では、各チップ11A～11Cが自身の機能番号nを通知するのに、コマンドライン12を用いることもできる。この例を図8に示す。

【0041】ここでは、先頭のチップ11Aは自身の機能番号としてn=1を設定すると、データフィールド24のビットn-1、即ちビット0に“1”が設定された初期化命令をコマンドライン12上に送出する。チップ11Bは、この初期化命令を受信すると、データフィールド24内で“1”が設定されている最大ビット位置n-1、即ちビット0から、前段のチップ11Aの最大機能番号n、即ちn=1を判別する。次にチップ11Bは、自身の機能番号としてn=n+1=2を設定する。そしてチップ11Bは、受信した初期化命令のデータフィールド24のビットn-1、即ちビット1に“1”を設定して、当該命令をコマンドライン12に送出する。

【0042】最後のチップ11Cは、チップ11Bからの初期化命令を受信すると、データフィールド24内で“1”が設定されている最大ビット位置1から、前段のチップ11Bの最大機能番号2を判別する。次にチップ11Cは、自身の機能番号としてチップ11Bの最大機能番号2を1インクリメントした3を設定する。そしてチップ11Cは、受信した初期化命令のデータフィールド24のビット2に“1”を設定して、当該命令をコマンドライン12に送出する。このチップ11Cからコマンドライン12に送出された命令は応答ライン13を介して当該チップ11Cに伝達される。これを受けてチップ11Cは、自身が送出した命令のデータフィールド24と同一内容のデータフィールド32を持つ応答を応答ライン13上に送出する。この応答は、応答ライン13を介してチップ11B及びチップ11Aに順次伝達される。チップ11Cは、応答中のデータフィールド32内で“1”が設定されている最大ビット位置2から、カード10の機能数3を判定する。

【0043】（2）命令受信時

次に、ホストシステムのホストドライバから送られた命令がカード10のチップ11iで受信された場合の動作について、図9乃至図11のフローチャートを参照して説明する。

【0044】まず、ホストドライバからインタフェースバス18のコマンドライン12に送出された命令は、当該コマンドライン12によりデジタイズチェーン接続された、カード10上のチップ11A、11B、11Cに順次シリアル転送される。

【0045】チップ11i（i=A、B、C）のコントローラ112iは、コマンドライン12を介して転送された命令がインタフェース111iにより受信されると、当該命令のコマンドフィールド21から当該命令がリードまたはライトのいずれを指定しているかを判定する（ステップB1）。なお本実施形態では、説明を簡略

化するために、1バイトを超えるデータのリードまたはライト動作、即ち複数のレジスタを対象とするリードまたはライト動作は指定されていないものとする。

【0046】受信された命令がライトを指定している場合、コントローラ112iは当該命令の機能番号フィールド22に設定されている機能番号FNが0であるか否かを判定する(ステップB2)。もし、機能番号FNが0であるならば、コントローラ112iは共通レジスタ領域114i内のレジスタのうち、上記命令のアドレスフィールド23に設定されているアドレスにより指定されるレジスタにデータを書き込む(ステップB3)。

【0047】このように、機能番号FNとして0が指定された場合のライト動作は、カード10上の全てのチップ11A、11B、11Cで、共通レジスタ領域114A、114B、114C内の指定レジスタに同一データをライトする動作が行われる。このデータ(ライトデータ)は、ホストドライバからインタフェースバス18のデータライン14を介して転送される。また、この例のように1バイト以下のデータのライトの場合には、当該データを上記命令のデータフィールド24に設定して転送することもできる。

【0048】一方、指定された機能番号FNが0でない場合、コントローラ112iは当該FNがチップ11iの機能番号nに一致しているか否かを判定する(ステップB4)。なお、複数の機能を有するチップでは、その複数機能のそれぞれに割り当てられた機能番号の1つに機能番号FNが一致しているか否かが判定される。

【0049】コントローラ112iは、指定された機能番号FNが、チップ11iの有する機能の機能番号j(jは1~3のいずれか)に一致する場合、当該チップ11iが選択されたものとして、機能番号FN=jで指定される固有レジスタ領域(#FN)115-j内の指定レジスタにデータを書き込む(ステップB5)。ここでは、FNが1であれば、チップ11Aが選択されて、当該チップ11A内の固有レジスタ領域115-1がアクセスされる。同様に、FNが2であれば、チップ11Bが選択されて、当該チップ11B内の固有レジスタ領域115-2がアクセスされ、FNが3であれば、チップ11Cが選択されて、当該チップ11C内の固有レジスタ領域115-3がアクセスされる。

【0050】コントローラ112iは、ステップB3またはB5を実行すると、ステップB6に進む。またコントローラ112iは、指定された機能番号FNが、チップ11iの有する機能の機能番号jに一致しない場合には、ステップB5をスキップしてステップB6に進む。

【0051】コントローラ112iは、ステップB6では、チップ11iのカード10上の位置が最後であるか否かを判定する。もし、最後であるならば、コントローラ112iは、ホストドライバからの命令に対する応答をインタフェース111iにより応答ライン13上に送

出させる(ステップB7)。

【0052】これに対し、最後でないなら、コントローラ112iは、最後のチップ(図1の例ではチップ11C)からコマンドライン12に送出された応答を受信するのを待つ(ステップB8)。そしてコントローラ112iは、応答を受信すると、チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップB9)。

【0053】もし、先頭でないならば、コントローラ112iは受信した応答をインタフェース111iによりそのまま応答ライン13を介して前段のチップに伝達させる(ステップB10)。一方、先頭であるならば、コントローラ112iは受信した応答のステータスフィールド31にステータスを設定して、インタフェース111iにより応答ライン13を介してホストドライバに伝達させる(ステップB11)。

【0054】次に、受信された命令がリードを指定していると判定された場合、コントローラ112iは当該命令の機能番号フィールド22に設定されている機能番号FNが0であるか否かを判定する(ステップC1)。機能番号FNが0でない場合、コントローラ112iは当該FNがチップ11iの機能番号nに一致しているか否かを判定する(ステップC2)。

【0055】コントローラ112iは、指定された機能番号FNが、チップ11iの有する機能の機能番号j(jは1~3のいずれか)に一致する場合、当該チップ11iが選択されたものとして、機能番号FN=jで指定される固有レジスタ領域(#FN)115-j内の指定レジスタからデータを読み出す(ステップC3)。このステップC1、C2、C3は、リードとライトの違いはあるものの、上記ステップB2、B4、B5と同様である。これに対し、指定された機能番号FNが、チップ11iの有する機能の機能番号jに一致しない場合には、コントローラ112iは、上記ステップB6以降の処理を実行する。

【0056】一方、ステップC1で機能番号FNが0であると判定された場合、コントローラ112iは共通レジスタ領域114i内の指定レジスタが共通レジスタであるか否かを判定する(ステップC4)。共通レジスタとは、共通レジスタ領域114A、114B、114C内の相対位置が同一のレジスタであって、且つ各チップ11A、11B、11Cに共通の同一内容のレジスタを指す。共通レジスタ領域114A、114B、114C内の共通レジスタはホストドライバから指定される。ここで、共通レジスタのリードアクセスは、チップ11A、11B、11Cのうちホストドライバによって選択されているチップによってのみ行われる。

【0057】そのため、コントローラ112iは、共通レジスタ領域114i内の指定レジスタが共通レジスタである場合、その共通レジスタアクセスに関し、チップ

11iが選択されているか否かを判定する(ステップC5)。もしチップ11iが選択されているならば、コントローラ112iは共通レジスタ領域114i内の指定された共通レジスタをリードする(ステップC6)。これに対し、チップ11iが選択されていないならば、コントローラ112iは上記ステップB6以降の処理を実行する。

【0058】コントローラ112iは、ステップC3またはC6のリード動作を行うと、チップ11iのカード10上の位置が最後であるか否かを判定する(ステップC7)。もし、最後であるならば、コントローラ112iは、ホストドライバからの命令に対する応答をインタフェース111iにより応答ライン13上に送出させると共に、リードしたデータをデータライン14上に送出させる(ステップC8)。なお、本実施形態のように1つのレジスタからのデータリード、つまり1バイトリードの場合には、リードデータを応答のデータフィールド32に設定して転送することも可能である。

【0059】これに対し、最後でないなら、コントローラ112iは、最後のチップ(図1の例ではチップ11C)からコマンドライン12に送出された応答を受信するのを待つ(ステップC9)。そしてコントローラ112iは、応答を受信すると、チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップBC10)。

【0060】もし、先頭でないならば、コントローラ112iは受信した応答をインタフェース111iによりそのまま応答ライン13を介して前段のチップに伝達させると共に、リードしたデータをデータライン14上に送出させる(ステップC11)。一方、先頭であるならば、コントローラ112iは受信した応答のステータスフィールド31にステータスを設定して、インタフェース111iにより応答ライン13を介してホストドライバに伝達させると共に、リードしたデータをデータライン14を介してホストドライバに送出させる(ステップC12)。これにより、チップ11A、11B、11Cの共通レジスタ領域114A、114B、114Cを、カード10全体では、ホストドライバに対して、図4(b)のレジスタマップの共通レジスタ領域114として見せることができる。

【0061】一方、ステップC4で指定レジスタが共通レジスタでない判定された場合、つまり共通レジスタ以外のレジスタリードの場合、コントローラ112iはステップD1を実行する。コントローラ112iは、このステップD1において、共通レジスタ領域114i内の指定レジスタのビット0〜7のうち、自身の機能番号nに対応するビットn-1をリードする。このリード動作は、指定レジスタをリードして、そのビットn-1を選択することにより実現される。もし、自身の機能番号が複数設定されている場合には、それらの各機能番号に

対応するビットが全てリードされる。本実施形態では、チップ11A、11B、11Cの機能番号はそれぞれ1、2、3である。この場合、チップ11Aのコントローラ112Aでは共通レジスタ領域114A内の指定レジスタのビット0がリードされる。同様に、チップ11Bのコントローラ112Bでは共通レジスタ領域114B内の指定レジスタのビット1がリードされ、チップ11Cのコントローラ112Cでは共通レジスタ領域114C内の指定レジスタのビット2がリードされる。

10 【0062】コントローラ112iはステップD1のリード動作を実行すると、チップ11iのカード10上の位置が最後であるか否かを判定する(ステップD2)。もし、最後であるならば、コントローラ112iは、ホストドライバからの命令に対する応答であって、そのデータフィールド24のビットn-1にステップD1でリードしたデータ(ビットデータ)がセットされた応答を、インタフェース111iにより応答ライン13上に送出させる(ステップD3)。

20 【0063】これに対し、最後でないなら、コントローラ112iは、最後のチップ(図1の例ではチップ11C)からコマンドライン12に送出された応答を受信するのを待つ(ステップD4)。そしてコントローラ112iは、応答を受信すると、チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップBD5)。

30 【0064】もし、先頭でないならば、コントローラ112iは受信した応答のデータフィールド24のビットn-1にステップD1でリードしたデータを設定して、インタフェース111iにより応答ライン13を介して前段のチップに伝達させる(ステップD6)。一方、先頭であるならば、コントローラ112iは受信した応答のステータスフィールド31にステータスを、データフィールド32のビットn-1にリードデータを、それぞれ設定して、インタフェース111iにより応答ライン13を介してホストドライバに伝達させる(ステップD7)。これにより、チップ11A、11B、11Cの共通レジスタ領域114A、114B、114Cを、カード10全体では、ホストドライバに対して、図4(b)のレジスタマップの共通レジスタ領域114として見せることができる。

40 【0065】[第2の実施形態]図12は本発明の第2の実施形態に係る多機能カードのブロック構成を示す。図12の多機能カード20は、図1の多機能カード10と同一機能F1、F2、F3を有する多機能チップ120を備えている。多機能チップ120は、カード10を構成するのに用いられた単機能チップ11A、11B、11Cの機能F1、F2、F3を高集積化して1つのチップに統合したものである。この多機能チップ120は、単機能チップ11A、11B、11Cに比べて、開発に時間を要するものの、高集積化により低コスト化と

実装面積の低減を図ることができる。そこで、当初は図1のカード10を製造・販売し、多機能チップ120の開発が完了した時点で、図2のカード20の製造・販売に切り替えることとよい。

【0066】チップ120は、機能F1、F2、F3を有する機能モジュール121-1、121-2、121-3と、ホストドライバとのインタフェースをなすと共に、機能モジュール121-1、121-2、121-3を管理するインタフェースモジュール（IFモジュール）122と、メモリ123を含む。IFモジュール122は、カード20がホストシステムのカードスロットに挿入されることにより、インタフェースバス18を介してホストドライバと接続される。

【0067】メモリ123には、図4（b）に示したレジスタマップ構成をとる、共通レジスタ領域114及び固有レジスタ領域115-1、115-2、115-3が割り当てられている。このカード20でのレジスタマップ構成と、カード10でのレジスタマップ構成とは、カード20では機能F1、F2、F3が統合された多機能チップ120を用い、カード10では機能F1、F2、F3を有し、且つ単独で使用可能な単機能チップ11A、11B、11Cを接続して用いているが、同一である。したがって、ホストシステムでカード20を用いる場合でも、或いはカード10を用いる場合でも、ホストドライバを切り替える必要がない。つまり、2種類のホストドライバを開発する必要がない。

【0068】なお、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0069】

【発明の効果】以上詳述したように本発明によれば、多機能カードを実現するのに、複数の単機能チップを接続すると共に、当該各チップに共通領域及び固有領域を含む記憶モジュールを設け、受信した命令中の機能番号が当該各チップに共通の特定機能番号であるならば共通領域がアクセスされ、その機能番号が当該チップの有する機能に割り当てられた機能番号であるならば、その機能に固有の当該チップ内の固定領域がアクセスされる構成とした。これにより、多機能カードを実現するのに、当該カード上の各単機能チップの機能を管理するための、特開平9-223200号公報に記載されているような独立の制御ユニットを不要とすることができる。しか

も、複数の単機能チップを用いて多機能カードを実現していることから、必要な機能が統合された多機能チップを用いて多機能カードを実現する場合に比べて開発が容易で且つ開発期間も短くて済む。

【0070】また、本発明によれば、各チップが有する共通領域を、カード全体では1つの共通領域として見せることができる。これによりカード全体のメモリマップ構成は、カードが有する全ての機能（チップ）に共通の1つの共通領域と、各機能毎の固有領域とからなるメモリマップ構成、即ち低コスト化と実装面積の低減のために、必要な機能が統合された多機能チップを用いて実現される多機能カードで適用すべきメモリマップ構成と等価となる。したがって、いずれのタイプの多機能カードを使用する場合でも、同一のホストドライバで対応でき、2種類のホストドライバを開発する必要がない。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る多機能カードの構成を示すブロック図。

【図2】同実施形態で適用される命令のフォーマットを示す図。

【図3】同実施形態で適用される応答のフォーマットを示す図。

【図4】カード10内の各単機能チップ11A、11B、11Cにおけるレジスタマップ構成と、当該カード10全体のレジスタマップ構成とを対比して示す図。

【図5】カード10内の各チップ11i（i=A、B、C）の端子116i及び117iの状態と当該カード10内のチップ位置との関係を示す図。

【図6】図1の多機能カード10の初期化時の動作を説明するためのフローチャート。

【図7】図1の多機能カード10の初期化時の動作を説明するためのタイミングチャート。

【図8】図1の多機能カード10の初期化時の動作の変形例を説明するためのタイミングチャート。

【図9】図1の多機能カード10の命令受信時の動作を説明するためのフローチャートの一部を示す図。

【図10】図1の多機能カード10の命令受信時の動作を説明するためのフローチャートの他の一部を示す図。

【図11】図1の多機能カード10の命令受信時の動作を説明するためのフローチャートの残りを図。

【図12】本発明の第2の実施形態に係る多機能カードの構成を示すブロック図。

【図13】図1のカード10内のチップ11i（i=A、B、C）が単独で使用される場合を考慮した初期化時の動作を説明するためのフローチャートの要部を示す図。

【符号の説明】

10、20…多機能カード

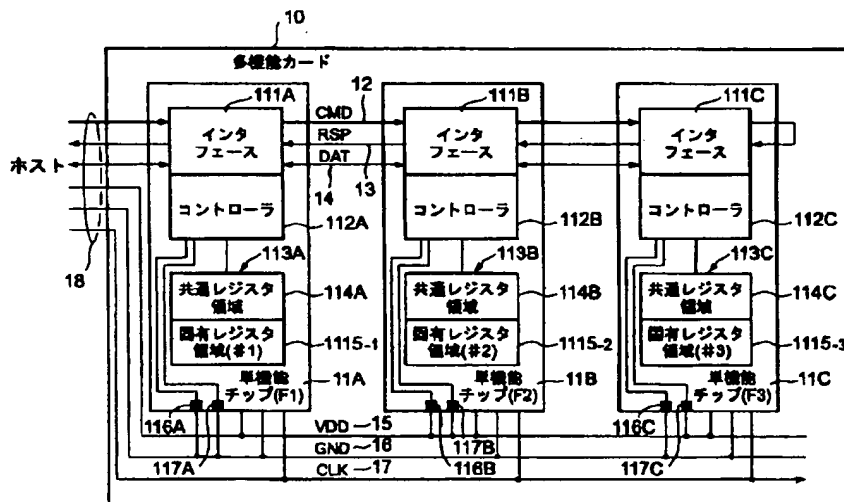
11A、11B、11C…単機能チップ

12…コマンドライン

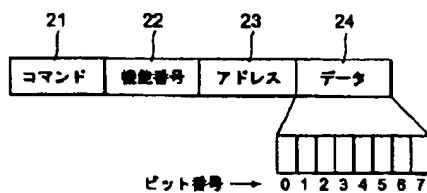
13…応答ライン  
 14…データライン  
 15…電源ライン  
 16…接地ライン  
 17…クロックライン  
 18…インタフェースバス  
 21…コマンドフィールド  
 22…機能番号フィールド  
 23…アドレスフィールド  
 24, 32…データフィールド  
 31…ステータスフィールド  
 111A, 111B, 111C…インタフェース  
 112A, 112B, 112C…コントローラ

113A, 113B, 113C, 123…メモリ(記憶モジュール)  
 114A, 114B, 114C, 114…共通レジスタ領域(共通領域)  
 115-1, 115-2, 115-3…固有レジスタ領域(固有領域)  
 116A, 116B, 116C…特定端子(第1の端子)  
 117A, 117B, 117C…特定端子(第2の端子)  
 120…多機能チップ  
 121-1, 121-2, 121-3…機能モジュール  
 122…インタフェースモジュール(IFモジュール)

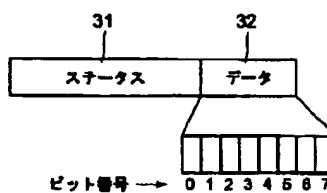
【図1】



【図2】



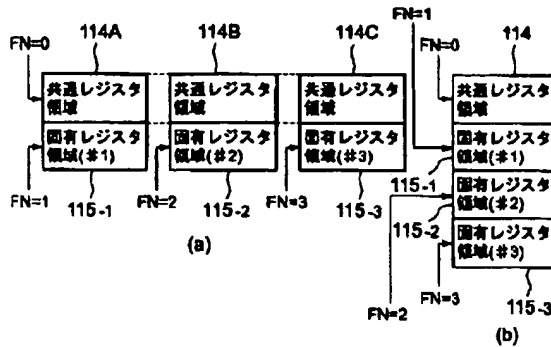
【図3】



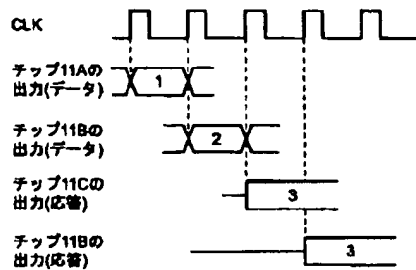
【図5】

端子116i	端子117i	チップ位置
0	0	先頭
0	1	最後
1	0	先頭で最後
1	1	先頭と最後以外

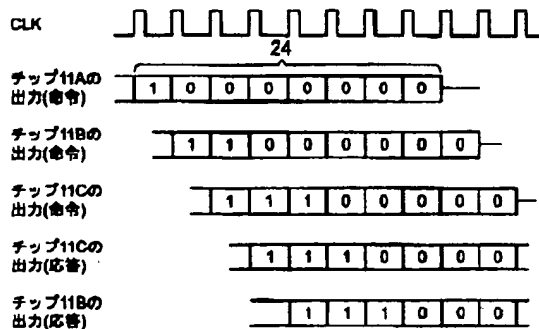
【図4】



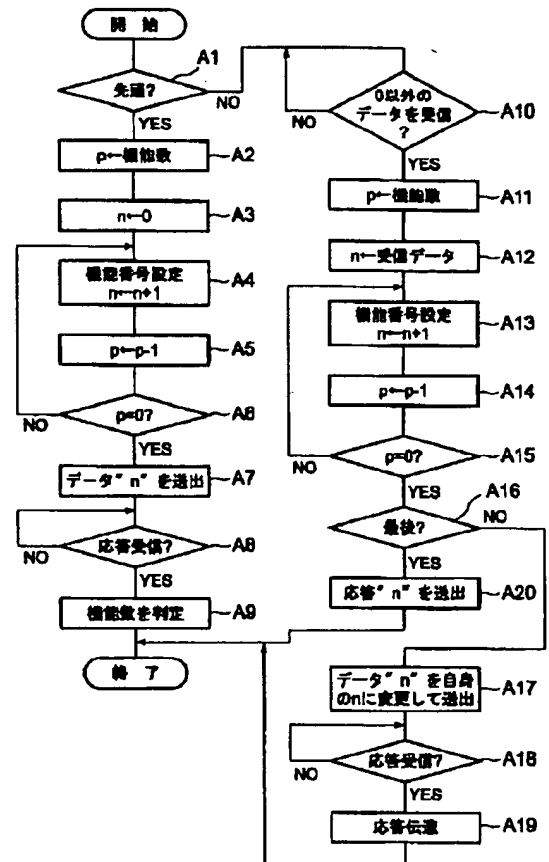
【図7】



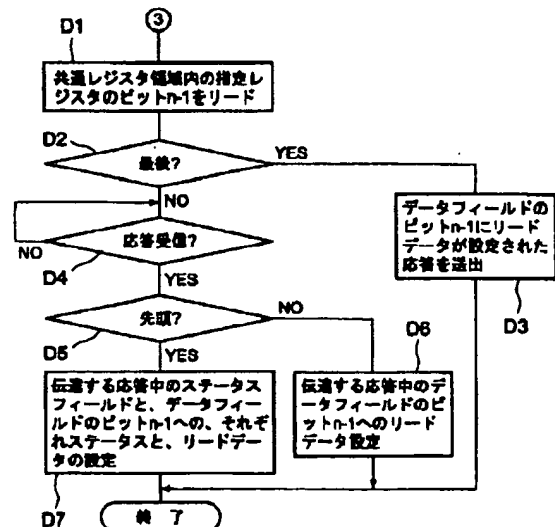
【図8】



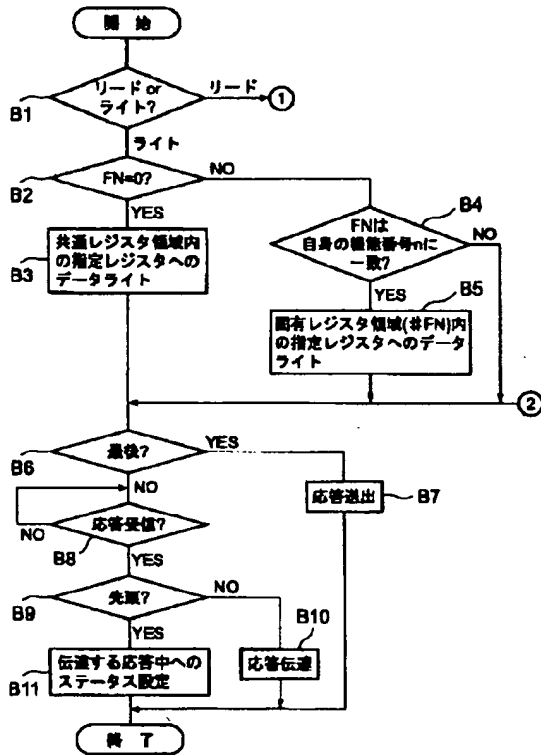
【図6】



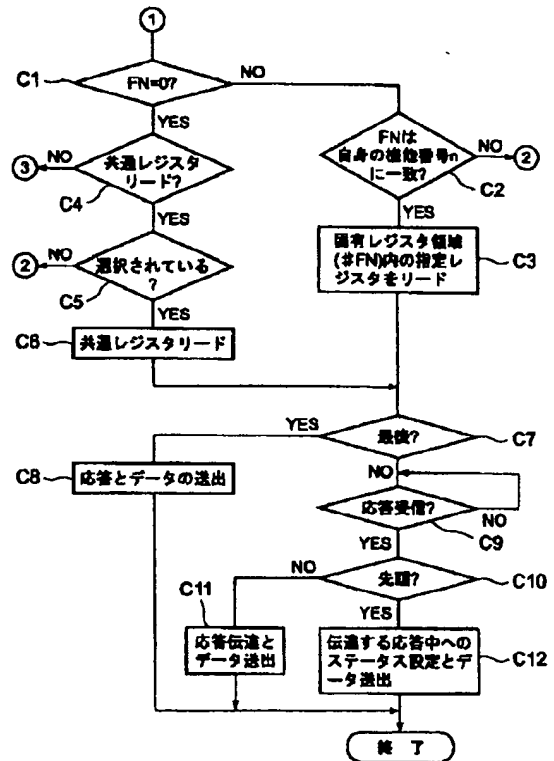
【図11】



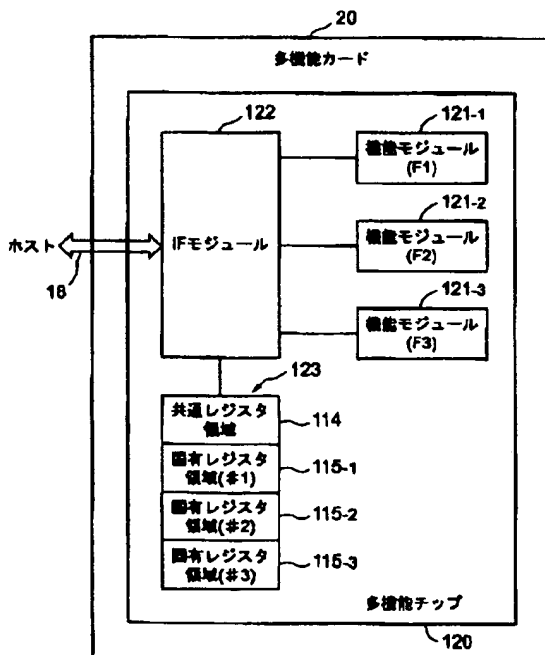
【図9】



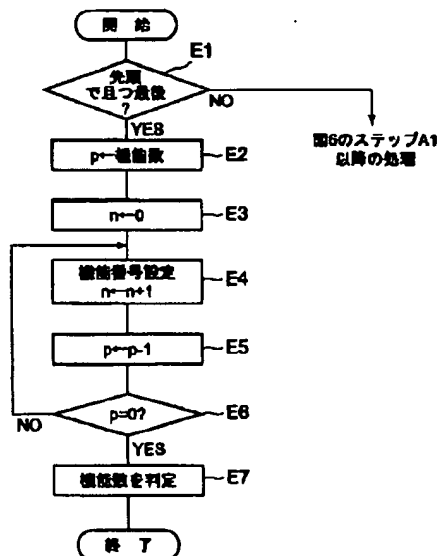
【図10】



【図12】



【図13】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**